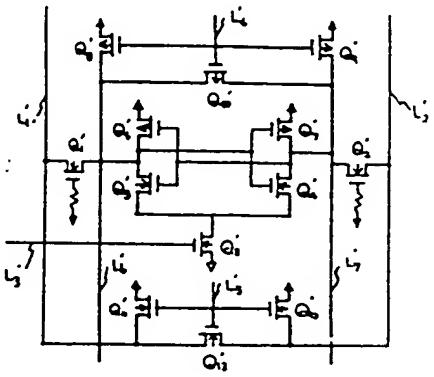
N

(54) SENSE AMPLIFYING CIRCUIT OF SEMICONDUCTOR STORAGE DEVICE
(11) 59-227087 (A) (43) 20.12.1984 (19) JP
(21) Appl. No. 58-102254 (22) 8.6.1983
(71) SUWA SEIKOSHA K.K. (72) SHIGEO TSURUOKA(1)
(51) Int. Cl. G11C11/34,G11C7/06,H01L27/10

PURPOSE: To raise a high speed property in a signal leading-in part, to reduce a current consumption required for pre-charge of a data line, and to shorten a pre-charge time by using an N channel type MOS transistor for the signal leading-in part extending from the data line to a flip-flop circuit.

CONSTITUTION: A timing signal line L'_3 is set to low voltage, an N channel type MOS transistor Q'_5 is set to an off-state, a timing signal line L'_4 is set to low voltage, P channel type MOS transistors Q'_6, Q'_9 and Q'_{10} are set to an on-state, and sense input,output lines L'_6, L'_7 are pre-charged to a supply power source V_{DD}. At the same time, a timing signal line L'_3 is set to high voltage, N channel type MOS transistors Q'_{11}, Q'_{12} and Q'_{13} are set to an on-state, and data lines L'_1, L'_2 are pre-charged to the potential which has been lowered by a threshold voltage portion of the N channel type MOS transistor from the V_{DD} level. In this case, N channel type MOS transistors Q'_1, Q'_2 operate as a level shifting element for a voltage drop, and as for the L'_6, L'_7, its potential is not drawn by the L'_1, L'_2, and they are pre-charged to the V_{DD} level.



⑲ 日本国特許庁（JP）　⑪ 特許出願公開

⑫ 公開特許公報（A）　昭59—227087

⑤1 Int. Cl.³	識別記号	庁内整理番号	⑬公開 昭和59年(1984)12月20日
G 11 C 11/34		6549—5B	
7/06		6549—5B	発明の数 1
H 01 L 27/10		6655—5F	審査請求 未請求

（全 4 頁）

⑤4半導体記憶装置のセンスアンプ回路

⑳特　願　昭58—102254
㉒出　願　昭58(1983)6月8日

⑦2発 明 者　鶴岡重雄
諏訪市大和3丁目3番5号株式会社諏訪精工舎内

⑦2発 明 者　小田善造
諏訪市大和3丁目3番5号株式会社諏訪精工舎内

⑦1出 願 人　株式会社諏訪精工舎
東京都中央区銀座4丁目3番4号

⑦4代 理 人　弁理士　最上務

明　細　書

発明の名称

半導体記憶装置のセンスアンプ回路

特許請求の範囲

(1) 第1，第2，第3，第4のPチャンネル型MOSトランジスタのソース電極と、第1，第2のNチャネル型MOSトランジスタのゲート電極と、第3，第4のNチャネル型MOSトランジスタのドレイン電極を供給電源に接続し、前記第1および第3のNチャネル型MOSトランジスタのソース電極と、第5のNチャネル型MOSトランジスタのソースまたはドレイン電極とを第1のデータ線に接続し、前記第2および第4のNチャネル型MOSトランジスタのソース電極と、前記第5のNチャネル型MOSトランジスタのドレインまたはソース電極とを第2のデータ線に接続し、前記第1および第3のPチャネル型MOSトランジスタのドレイン電極と、第5のPチャネル型MOSトランジスタのソースまたはドレイン電極と、第6および前記第1のNチャネル型MOSトランジスタのドレイン電極と、前記第2のPチャネル型MOSトランジスタのゲート電極と、第7のNチャネル型MOSトランジスタのゲート電極とを第1のセンス入出力線に接続し、前記第2および第4のPチャネル型MOSトランジスタのドレイン電極と、前記第5のPチャネル型MOSトランジスタのドレインまたはソース電極と、前記第2および第7のNチャネル型MOSトランジスタのドレイン電極と、前記第1のPチャネル型MOSトランジスタのゲート電極と、前記第6のNチャネル型MOSトランジスタのゲート電極とを第2のセンス入出力線に接続し、前記第6および第7のNチャネル型MOSトランジスタのソース電極と、第8のNチャネル型MOSトランジスタのドレイン電極を接続し、前記第8のNチャネル型MOSトランジスタのソース電極を接地電源に接続し、前記第3，第4，第5のPチャネル型MOSトランジスタのゲート電極を第1のプリチャージ信号線に接続し、前記第3，第4，第5のNチャネル

型MOSトランジスタのゲート電極を第2のプリチャージ信号線に接続し、前記第8のNチャネル型MOSトランジスタのゲート電極をタイミング信号線に接続して成ることを特徴とする半導体記憶装置のセンスアンプ回路。

(2) 前記第1，第2，第3，第4，第5のPチャネル型MOSトランジスタをNチャネル型MOSトランジスタにし、かつ前記第1，第2，第3，第4，第5，第6，第7，第8のNチャネル型MOSトランジスタをPチャネル型MOSトランジスタにし、かつ供給電源と接地電源を入れ替えてなることを特徴とする前記特許請求の範囲第1項記載の半導体記憶装置のセンスアンプ回路。

発明の詳細な説明

本発明は半導体記憶装置のデータ線に読み出された読み出し出力を検出するためのセンスアンプ回路に関するものである。

従来のセンスアンプ回路例を第1図に示す。Q_1，Q_2はPチャネル型MOSトランジスタ、Q_3，Q_4はNチャネル型MOSトランジスタであり、Q_6，Q_7のPチャネル型MOSトランジスタとでフリップフロップ回路を構成しており、Q_3，Q_4のソース電極は共通接続され、Nチャネル型MOSトランジスタQ_5を介して接地電源V_{SS}に接続されており、Q_8，Q_9，Q_{10}はPチャネル型MOSトランジスタで、フリップフロップ回路の入出力線のプリチャージのために用意されており、Q_{11}，Q_{12}，Q_{13}はPチャネル型MOSトランジスタで、データ線のプリチャージのために用意されている。L_1はデータ線、L_2はL_1とは補元関係にあるデータ線、L_3，L_4，L_5はタイミング信号線、L_6はセンス入出力線、L_7はL_6とは補元関係にあるセンス入出力線である。

従来の回路の動作を説明する。タイミング信号線L_3をハイ電圧とし、Pチャネル型MOSトランジスタQ_1，Q_2をオフ状態にさせ、タイミング信号線L_4をロー電圧とし、Pチャネル型MOSトランジスタQ_{11}，Q_{12}，Q_{13}をオン状態にさせることにより、データ線L_1，L_2がプリチャージされ、同時にタイミング信号線L_4をロー電圧とし、Pチャネル型MOSトランジスタQ_8，Q_9，Q_{10}をオン状態にさせることにより、センス入出力線L_6，L_7がプリチャージされる。プリチャージ時にL_5をロー電圧とし、Q_1，Q_2をオン状態にさせ、同時にNチャネル型MOSトランジスタQ_5をオフ状態にさせ、フリップフロップ回路を不動作状態にさせる。プリチャージが終了された状態で、L_1，L_2に情報が出力されその情報がQ_1，Q_2を通して、センス入出力線L_6，L_7に引き入れられる。L_6，L_7に十分な電位差が生じたところで、L_5をハイ電圧とし、Q_1，Q_2をオフ状態にさせ、Q_5をオン状態にさせ、フリップフロップ回路が動作して情報の増幅を行ない、増幅された情報がL_6，L_7に出力される。

上記のような従来の回路においては、データ線からフリップフロップ回路への信号導入部のPチャネル型MOSトランジスタにタイミング信号線を必要とする。信号導入部にPチャネル型MOSトランジスタを用いており、信号導入部での信号の伝搬が遅い、またトランジスタサイズが大きくなる。データ線をPチャネル型MOSトランジスタでプリチャージしているために、プリチャージ電圧が供給電源VDDレベルまで上がり、このためデータ線を十分プリチャージするためには時間がかかる、また消費電流が大きいという欠点があった。

本発明は上記実情を鑑み、この問題を解決すべくなされたもので、その目的はデータ線からフリップフロップ回路への信号導入部でのタイミング信号線の除去と、信号導入部での高速性を高めデータ線のプリチャージに要する消費電流を小くし、プリチャージ時間を短かくすることである。

以下図面を参照して本発明の実施例を説明する。第2図は本発明の実施例であり、L'_1はデータ線、L'_2はL'_1と補元関係にあるデータ線で、Nチャネル型MOSトランジスタQ'_1，Q'_2を介してL'_7のセンス入出力線に接続されている。L'_6，L'_7は補元関係にある。Q'_1，Q'_2のク

ジスタであり、
トランジスタと
てあり、Q_3，
、Nチャネル型
接地電源V_{SS}に
、はPチャネル
フロップ回路
に用意されてお
ル型MOSトラ
ージのために用
L_2はL_1とは
L_4，L_5は
出力線、L_7は
出力線である。
タイミング信号
ル型MOSトラ
させ、タイミン
チャネル型MO
をオン状態にさ
L_2がプリチャ

導入部での信号
サイズが大きく
OSトランジス
、プリチャージ
があり、このため
ためには時間が
いう欠点があっ

問題を解決すべ
ータ線からフ
でのタイミン
高速性を高め
消費電流を小
することであ
施例を説明す
L'_1はデー
タ線で、N
Q'_3を介して
れている。
Q'_1，Q'_2のク

に常に供給電源VDDに接続されている。データ入力を検出するために、Nチャネル型MOSトランジスタQ'_3，Q'_4と、Pチャネル型MOSトランジスタQ'_6，Q'_7とでフリップフロップ回路を形成しており、Q'_3，Q'_4のソース電極は共通接続され、これがNチャネル型MOSトランジスタQ'_5を介して接地電源V_{SS}に接続されている。Q'_6，Q'_7のソース電極は供給電源VDDに接続されている。Q'_8，Q'_9，Q'_{10}はPチャネル型MOSトランジスタでセンス入出力線のプリチャージのために用意されており、Q'_{11}，Q'_{12}，Q'_{13}はNチャネル型MOSトランジスタでデータ線のプリチャージのために用意されている。L'_3，L'_4，L'_5はタイミング信号線である。

本発明の実施例の動作を説明する。タイミング信号線L'_3をロー電圧とし、Nチャネル型MOSトランジスタQ'_5をオフ状態にさせ、タイミング信号線L'_4をロー電圧とし、Pチャネル型MOSトランジスタQ'_8，Q'_9，Q'_{10}をオン状態にさせ、センス入出力線L'_6，L'_7が供給電源VDDレベルまでプリチャージされる。同時に、タイミング信号線L'_5をハイ電圧とし、Nチャネル型MOSトランジスタQ'_{11}，Q'_{12}，Q'_{13}をオン状態にさせ、データ線L'_1，L'_2がVDDレベルからNチャネル型MOSトランジスタのしきい値電圧分下がった電位までプリチャージされる。このとき、Nチャネル型MOSトランジスタQ'_1，Q'_2が電圧降下のためのレベルシフト素子として働き、L'_6，L'_7はL'_1，L'_2に電位が引っぱられることなくVDDレベルまでプリチャージされる。プリチャージが終了された状態でL'_4をハイ電圧に、L'_5をロー電圧とし、Q'_8，Q'_9，Q'_{10}，Q'_{11}，Q'_{12}，Q'_{13}をオフ状態にさせる。L'_1，L'_2に情報が出力され、この情報がQ'_1，Q'_2を介して、センス入出力線に引き込まれる。入出力線に十分な電位差が生じたところで、L_3をハイ電圧とし、Q'_5をオン状態にさせ、フリップフロップ回路が動作して、情報の増幅を行ない、増幅された情報がL'_6，L'_7に出力される。

なお本発明は上記実施例に限られることなく、Pチャネル型MOSトランジスタQ'_8，Q'_9，Q'_{10}をNチャネル型MOSトランジスタにし，かつNチャネル型MOSトランジスタQ'_1，Q'_2，Q'_3，Q'_4，Q'_5，Q'_{11}，Q'_{12}，Q'_{13}をPチャネル型MOSトランジスタにし、かつ供給電源VDDと接地電源V_{SS}を入れ替えた回路でも構成することもできる。

前述より明らかなように、本発明による回路は、データ線からフリップフロップ回路への信号導入部にNチャネル型MOSトランジスタを用いることにより、信号導入部での情報を高速に伝えることができ、またトランジスタサイズを小さくすることができる。ゲート電極を供給電源に接続していることで、タイミング信号線を必要としない。また、この信号導入部のNチャネル型MOSトランジスタが電圧降下のためのレベルシフト素子として働き、PチャネルMOSトランジスタでVDDレベルまでプリチャージされたセンス入出力線が、Nチャネル型MOSトランジスタのしきい値電圧分下がった電位までプリチャージされたデータ線に引かれることなく、VDDレベル保持することができる。このことにより、センス入出力線はPチャネル型MOSトランジスタでプリチャージすることができ、データ線をNチャネル型MOSトランジスタでプリチャージすることができる。このことにより、データ線のプリチャージの電圧レベルが低くなり、データ線のプリチャージに用する消費電流を少なくすることができ、またプリチャージ時間を短かくすることができるという利点がある。

また、本発明は記憶専用の集積回路ばかりでなく、その一部として記憶回路を有しているマイクロプロセッサーや、ワンチップマイクロコンピュータ、あるいは液晶表示板駆動用集積回路などに応用することもでき、すぐれた効果があるものである。

図面の簡単な説明

第1図は従来のセンスアンプ回路例を示す回路図，第2図は本発明の実施例を示す回路図である。
L_1，L_2，L'_1，L'_2・・データ線　L_3，L_4，L_5

，L'_3，L'_4，L'_5・・タイミング信号線　L_6，L_7，L'_6，L'_7・・センス入出力線　Q_1，Q_2，Q_3，Q_7，Q_8，Q_9，Q_{10}，Q_{11}，Q_{12}，Q_{13}，Q'_6，Q'_7，Q'_8，Q'_9，Q'_{10}・・Pチャネル型MOSトランジスタ　Q_3，Q_4，Q_5，Q'_1，Q'_2，Q'_3，Q'_4，Q'_5，Q'_{11}，Q'_{12}，Q'_{13}・・Nチャネル型MOSトランジスタ。

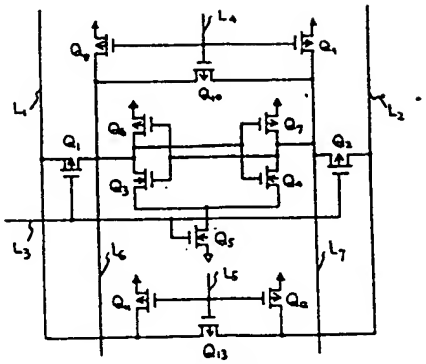
→VDD

→Vss

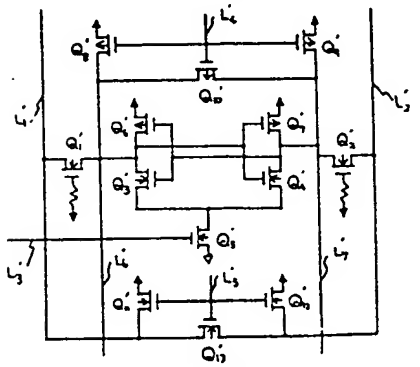
以　上

出願人　株式会社諏訪精工舎

代理人　弁理士　最　上　務



第1図



第2図

(Translation)

(19) Japan Patent Office (JP)

(11) Patent Application Release

(12) **PUBLIC PATENT REPORT (A)** **59[1984]-227087**

(43) Released: 12/20/84

(51) Int. Cl.[3]	ID symbol	Agency Control No.
G 11 C 11/34		6549-5B
7/06		6549-5B
H 01 L 27/10		6655-5F

Number of inventions: 1
Examination request: not yet requested

(Total: 4 pages)

---

(54) Sense-amplifying Circuit for Semiconductor Memory Device

(21) Patent application: 58(1983)-102254

(22) Applied for: 6/8/1983

(72) Inventor: Shigeo Tsuruoka
c/o Suwa Seikosha, Inc.
3-5 Ohwa 3-chome
Suwa City, Nagano Prefecture
[Japan]

(72) Inventor: Zenzo Oda
[same address]

(71) Applicant: Suwa Seikosha, Inc.
3-4 Ginza 4-chome
Chuo-ku, Tokyo [Japan]

(74) Agent: Tsutomu Mogami, patent attorney

Specifications

Name of invention: Sense-amplifying Circuit for Semiconductor Memory Device

Scope of Patent Application: (1) A sense-amplifying current of a semiconductor memory device characterized by --

-- connecting to the power supply the source electrodes of MOS transistors of the 1st, 2nd, 3rd and 4th channel types, gate electrodes of a 1st and 2nd N-channel type MOS transistors and drain electrodes of 3rd and 4th N-channel type MOS transistors;
-- connecting to the primary data line source electrodes of the above-noted 1st and 3rd N-channel type MOS transistors, and to the source or drain electrode of an MOS transistor of the 5th N-channel type;
-- connecting to the secondary data line the source electrodes of the above-noted 2nd and 4th N channel type MOS transistors and the drain or source electrodes of the above-noted 5th N-channel type MOS transistor
-- connecting to the primary sense input/output line the drain electrodes of 1st and 3rd P-channel type MOS transistors, the source or drain electrodes of a 5th P-channel type MOS transistor, the drain electrodes of the 6th and above-noted 1st N-channel type MOS transistors, the gate electrode of the above-noted 2nd P-channel type MOS transistor, and the gate electrode of the 7th N-channel type MOS transistor;
-- connecting to the secondary sense input/output line the drain electrodes of the above-noted 2nd and 4th P-channel type MOS transistors, the drain or source electrode of the above-noted 5th P-channel type MOS transistor, drain electrodes of the above 2nd and 7th N-channel type MOS transistors, the gate electrode of the above-noted 1st P- channel type MOS transistor, and the gate electrode of the above-noted 6th N-channel type MOS transistor
-- connecting the source electrodes of the above-noted 6th and 7th N-channel type MOS transistors and the drain electrode of an MOS transistor of the 8th N-channel type;
-- connecting to the grounding electrode a source electrode of the above-noted 8th N-channel type MOS transistor;
-- connecting to the primary precharge signal line the gate electrodes of the above-noted 3rd, 4th and 5th P-channel type MOS transistors;
-- connecting to the secondary precharge signal line the gate electrodes of the above-noted 3rd, 4th and 5th N-channel type MOS transistors: and
-- connecting to the timing signal line the gate electrode of an MOS transistor of the above-noted 8th N-channel type.*

(2) A sense-amplifier circuit of the semiconductor memory device described in Scope of Patent Application Item 1, characterized by making the above-noted 1st, 2nd, 3rd, 4th and 5th P-channel type MOS transistors into an N-channel type MOS transistor, and also making the above-noted 1st, 2nd, 3rd, 4th, 5th, 6th, 7th and 8th N-channel type MOS transistor into a P-channel type MOS transistor, as well as interchanging the ground power source and the power supply.

*[Translator's note: I formatted the above (1) with dashes to facilitate reading and comprehension. Also, Japanese lacks plural verb and noun forms, so that one must guess singular/plural from the context.]

Detailed Explanation of Invention

This invention bears on a sense-amplifier circuit for detecting reading output read by a semiconductor memory device data line.

Figure 1 shows an example of the usual sense-amplifier circuit. Q_1 and Q_2 are P-channel type MOS transistors; and Q_3 and Q_4 are N-channel type MOS transistors, while the P-channel type MOS transistors of Q_6 and Q_7 make up the flip-flop circuit. The source electrodes of Q_3 and Q_4 are connected in common and tie into ground power source V_{SS} via N-channel type MOS transistor Q_5. Q_8, Q_9 and Q_{10} are P-channel type MOS transistors and are provided for precharging the input-output line of the flop-flop circuit. Q_{11}, Q_{12} and Q_{13} are P-channel type MOS transistors provided for precharging the data line. L_1 is a data line, and L_2 is a data line with a supplementary relationship to L_1. L_3, L_4 and L_5 are timing signal lines; L_6 is a sense input-output line; and L_7 is an input-output line with a supplementary relationship to L_6.

I will explain the operation of the usual circuits. By making timing-signal line L_3 high voltage, putting P-channel type MOS transistors Q_1 and Q_2 in an off state, making timing signal line L_5 low voltage and putting P-channel type MOS transistors Q_{11}, Q_{12} and Q_{13} in an on state, data lines L_1 and L_2 are precharged. At the same time, by making timing signal line L_4 low voltage and putting P-channel type MOS transistors Q_8, Q_9 and Q_{10} in an on state, sense input-output lines L_6 and L_7 are precharged. Making L_3 low voltage while precharged, putting Q_1 and Q_2 in an on state and concurrently putting N-channel type MOS transistor Q_5 in an off state makes the flip-flop circuit go into an inactive state. In a condition where the precharge is ended, data is output to L_1 and L_2 and that data goes through Q_1 and Q_2 to sense input-output lines L_6 and L_7. When a sufficient voltage difference develops in L_6 and L_7, L_3 is made high voltage, Q_1 and Q_2 are put in an off state, Q_5 is put in an on state, and the flip-flop circuit operates, does data amplification and amplified data are output to L_6 and L_7.

In the above-noted usual kind of circuit, timing-signal lines are needed in P-channel type MOS transistors of the signal induction section from the data line to the flip-flop circuit. In the signal induction section a P-channel type MOS transistor is used, signal propagation in the signal induction section is slow, and the transistor becomes larger. Since the data line is precharged by a P-channel type MOS transistor, the precharge voltage rises to the level of the power supply V_{DD}. Therefore, it has the defects that it takes time to sufficiently precharge the data line and current consumption is high.

Given the above situation, this invention is made to resolve such problems; and its goals are to eliminate the timing signal line of the signal induction section from data line to flip-flop circuit, increase speed in the signal induction section and reduce current consumption for precharging the data lines and so to

shorten the precharge time.

Below, we explain an example of applying this invention, referring to Figure 2, an applied example of this invention. L'_1 is a data line; and L'_2 is a data line in a supplementary relationship to L'_1 and connects to sense input-output lines L'_6 and L'_7 via N-channel MOS transistors Q'_1 and Q'_2. Also, L'_6 and L'_7 are in a supplementary relationship. The [word missing from copy] electrode of Q'_1 and Q'_2 is connected to power supply VDD. To detect data differential inputs, the flip-flop circuit consists of N-channel MOS transistors Q'_3 and Q'_4 and P-channel MOS transistors Q'_6 and Q'_7. Source electrodes of Q'_3 and Q'_4 are connected in common and connect to ground power source V_{SS} via N-channel MOS transistor Q'_5. Source electrodes of Q'_6 and Q'_7 connect to power supply VDD. Q'_8, Q'_9 and Q'_{10} are P-channel MOS transistors provided to precharge the sense input-output line. Q'_{11}, Q'_{12} and Q'_{13} are N-channel MOS transistors provided to precharge the data lines. L'_3, L'_4 and L'_5 are timing signal lines.

We will explain the operation of this invention's application example.* We make timing signal line L'_3 low voltage, put the N-channel MOS transistor Q'_5 in an off state, make timing signal line L'_4 low voltage, put P-channel MOS transistors Q'_8, Q'_9 and Q'_{10} in an on state, and precharge sense input-output lines L'_6 and L'_7 to the level of the power supply VDD. Concurrently, we make timing signal line L'_5 high voltage, put N-channel MOS transistors Q'_{11}, Q'_{12} and Q'_{13} in an on state. Data lines L'_1 and L'_2 are precharged from the VDD level to a potential under the N-channel MOS transistor's threshold voltage part. At this point, N-channel MOS transistors Q'_1 and Q'_2 operate as level-shift elements due to the voltage drop and L'_6 and L'_7 are precharged to the VDD level without their potential being drawn off by L'_1 and L'_2. In a condition of the precharge being ended, L'_4 is made high voltage and L'_5 is made low voltage, while Q'_6, Q'_9, Q'_{10}, Q'_{11}, Q'_{12} and Q'_{13} are put in an off state. Data is output to L'_1 and L'_2 and this data is drawn into the sense input-output lines via Q'_1 and Q'_2. When a sufficient potential differential arises in the input-output line, L'_3 is made high voltage, Q'_5 is put in an on state, the flip-flop circuit operates, data amplification is done and the amplified data is output to L'_6 and L'_7.

Now, this invention is not limited to the above application example, but can also be made up with the P-channel MOS transistors Q'_6, Q'_7, Q'_8, Q'_9 and Q'_{10} as N-channel MOS transistors, just as N-channel MOS transistors Q'_1, Q'_2, Q'_3, Q'_4, Q'_5, Q'_{11}, Q'_{10}, and Q'_{13} may be P-channel transistors and the circuits of power supply VDD and ground-source V_{SS} may be interchanged.

As is clear from the above description, by using N-channel MOS transistors in the signal induction section from the data lines to the flip-flop circuit, this invention's circuit can speedily

[Translator's note: The above copy sometimes is blurred, making subscript 3, 5, 6 and 9 virtually indistinguishable. So, there may be some errors here.]

transmit data at the signal induction section and can cut transistor size. Since a gate electrode is connected to the power supply, a timing signal line is not needed. Also, the N-channel MOS transistor of this signal induction section operates as a level-shift element due to the voltage lowering; the sense input-output line precharged to the VDD level by P-channel MOS transistors is not drawn to the data line precharged to the potential to which the threshold voltage part of the N-channel MOS transistor has dropped, so that the VDD level can be sustained. Due to this, the sense input-output line can precharge by the P-channel MOS transistors, and the data line can precharge with N-channel MOS transistors. This creates the advantages that the voltage level of the data line precharge is less, current consumption used for data line precharge can be reduced and the precharge time can be shortened.

Again, this invention has superior effectiveness, making it applicable not merely for integrated circuits for memory but also for micro-processors and one-chip micro-computers having memory circuits as one of their parts, or in such applications as integrated circuits for operating liquid-crystal display panels.

Simple Explanation of Figures

Figure 1 is a circuitry chart showing an example of the usual sense-amplifying circuit.
Figure 2 is a circuitry chart showing the application example of this invention.

[Keys]

L_1, L_2, L'_1, L_2' .....data lines
L_3, L_4, L_5, L'_3, L'_4, L_5' .....timing signal lines
L_6, L_7, L'_6, L'_7 .....sense input-output lines
Q_1, Q_2, Q_6, Q_7, Q_8, Q_9, Q_{10}, Q_{11}, Q_{12}, Q_{13}, Q'_6, Q'_7, Q'_8, Q'_9, Q'_{10} .....P channel MOS transistors
Q_3, Q_4, Q_5, Q'_1, Q'_2, Q'_3, Q'_4, Q'_5, Q'_{11}, Q'_{12}, Q'_{13} .....N-channel MOS transistors
→ V_{DD}
→ V_{SS}

Applicant: Suwa Seikosha, Inc.

Agent: Tsutomu Mogami